***Specification***

03/2021

**CONVERT RGB TO GRAYSCALE VIDEO MODULE**

# Contents

[Contents 2](#_Toc467591446)

[Release Information 3](#_Toc467591447)

[Features 3](#_Toc467591448)

[Deliverables (mô tả các tài nguyên, tài liệu đi kèm) 3](#_Toc467591449)

[IP Core Structure (Mô tả sơ đồ khối của IP: từ tổng quát đến chi tiết) 3](#_Toc467591450)

[Port Map (mô tả tín hiệu vào ra của IP) 3](#_Toc467591451)

[IP Core Parameter 4](#_Toc467591452)

[IP Core Operation Description (mô tả về lý thuyết, nguyên lý hoạt động của IP core này) 4](#_Toc467591453)

[Performance and Resource Utilization 4](#_Toc467591454)

[IP Core Interface Description 4](#_Toc467591455)

[Upgrade and Technical Support 4](#_Toc467591456)

[Feedback 4](#_Toc467591457)

[Revision 4](#_Toc467591458)

[License 5](#_Toc467591459)

# Release Information

|  |  |
| --- | --- |
| Name | **Convert RGB to Grayscale Video Module** |
| Version | 1.0 |
| Build date | 01/04/2021 |
| Authour | Group 3-CE434.L21 |
| Website |  |

# Features

Hệ thống thực hiện việc chuyển đổi giữa RGB video sang Grayscale bằng cách tách video thành nhiều ảnh sau đó xử lý trên từng ảnh riêng biệt, cuối cùng gộp tất cả các ảnh xử lý lại thành một video hoàn chỉnh.

# Deliverables (mô tả các tài nguyên, tài liệu đi kèm)

Python code: ConvertVideo2 Image.py, RGB2Binary.py, Binary2Grayscale.py, ConvertImage2 Video.

RTL code: RGB2Grayscale.v, RGB2Grayscale\_tb.v.

Reference: Efficient Hardware of RGB to Gray Conversion Realized on FPGA and ASIC paper

# IP Core Structure (Mô tả sơ đồ khối của IP: từ tổng quát đến chi tiết)

# 

Hình 1: Hình mô tả sơ đồ khối tổng quát

ConvertVideo2Image.py : Chuyển video thành nhiều ảnh để xử lý.

RGB2Binary.py: Chuyển mỗi pixels của ảnh RGB thành R (8bit), G (8bit), B (8bit) để xử lý.

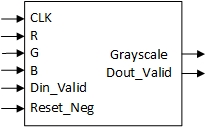
RGB2Grayscale.v: Xử lý 24bit – R (8bit), G (8bit), B (8bit) biểu thị cho một pixel của ảnh RGB thành 8bit biểu thị cho một pixel của ảnh Grayscale.

Binary2Grayscale.py : Chuyển 8bit thành một pixel của ảnh sau đó ghép thành một ảnh GrayScale hoàn chỉnh.

ConvertImage2Video : Gộp các ảnh Grayscale lại với nhau để tạo thành video Grayscale hoàn chỉnh.

MeanError.py : Tính trung bình lỗi của video xử lý bằng RTL module và bằng code Python

# Port Map (mô tả tín hiệu vào ra của IP)



Bảng 1: Bảng mô tả tín hiệu của IP

|  |  |  |
| --- | --- | --- |
| **Port name** | **Width** | **Description** |
| **CLK** | 1 | Xung clock của hệ thống. Module hoạt động tại cạnh lên xung clock |
| **R** | 8 | 8bit binary biểu thị màu đỏ của một pixel ảnh RGB |
| **G** | 8 | 8bit binary biểu thị màu xanh lá của một pixel ảnh RGB |
| **B** | 8 | 8bit binary biểu thị màu xanh dương của một pixel ảnh RGB |
| **Din\_Valid** | 1 | Cho biết Din có hợp lệ để truyền vào module hay không  Din = 0 : Dữ liệu truyền vào module không hợp lệ  Din = 1: Dữ liệu truyền vào module hợp lệ |
| **Dout** | 8 | 8bit binary biểu thị cho một pixel của ảnh Grayscale |
| **Dout\_Valid** | 1 | Cho biết Dout có hợp lệ hay không  Dout = 0 : Dữ liệu hợp lệ  Dout = 1: Dữ liệu hợp lệ |
| **Reset\_Neg** | 1 | Tín hiệu Reset của hệ thống. Module bị Reset tại cạnh xuống của Reset |

# IP Core Parameter

|  |  |
| --- | --- |
| Parameter | Description |
| **INT\_WIDTH** | Định nghĩa số bit của R,G,B truyền vào module theo kiểu integer |
| **FP\_WIDTH** | Định nghĩa số bit của R,G,B truyền vào module theo kiểu fixed point để tính toán chính xác hơn |
| **Clock\_Cycle** | Định nghĩa thời gian một chu kì xung clock của hệt thônz |

# IP Core Operation Description (mô tả về lý thuyết, nguyên lý hoạt động của IP core này)

Dữ liệu được đưa vào để xử lý là một video màu dài 10s. Sau khi qua bước tiền xử lý video sẽ được tách ra thành nhiều ảnh (~250 ảnh).

Một pixel của ảnh RGB sẽ được chuyển thành ba màu R(8bit), G(8bit), B(8bit). Sau đó hệ thống sẽ tính toán, xử lý đưa 8bit biểu thị một pixel của ảnh Grayscale. Sau đó các bước xử lý của cùng là chuyển từ các 8bit thanh một pixel của ảnh Grayscale rồi ghép nhiều pixel lại thành một ảnh hoàn chỉnh. Cứ lặp lại quá trình này cho đến khi hết tất cả các ánh.

Cuối cùng gộp tất cả các ảnh lại ta có một video Grayscale.

# Performance and Resource Utilization

Phần này mô tả về hiệu suất và tài nguyên sử dụng của ip core. Các thông số về resources, tần số hoạt động

1. Tài nguyên sử dụng:
   1. Slice Logic

|  |  |  |  |
| --- | --- | --- | --- |
| Site Type | Used | Available | Util% |
| Slice LUTs\* | 68 | 53200 | 0.13 |
| LUT as Logic | 67 | 53200 | 0.13 |
| LUT as Memory | 1 | 17400 | <0.01 |
| LUT as Distributed RAM | 0 |  |  |
| LUT as Shift Register | 1 |  |  |
| Slice Registers | 94 | 106400 | 0.09 |
| Register as Flip Flop | 94 | 106400 | 0.09 |
| Register as Latch | 0 | 106400 | 0.00 |

* 1. IO and GT Specific

|  |  |  |  |
| --- | --- | --- | --- |
| Site Type | Used | Available | Util% |
| Bonded IOB | 36 | 200 | 18.00 |

* 1. Clocking

|  |  |  |  |
| --- | --- | --- | --- |
| Site Type | Used | Available | Util% |
| BUFGCTRL | 1 | 32 | 3.13 |

* 1. Primitives

|  |  |  |
| --- | --- | --- |
| Ref Name | Used | Functional Category |
| FDCE | 93 | Flop & Latch |
| LUT2 | 67 | LUT |
| IBUF | 27 | IO |
| CARRY4 | 16 | CarryLogic |
| LUT1 | 12 | LUT |
| OBUF | 9 | IO |
| SRL16E | 1 | Distributed Memory |
| FDRE | 1 | Flop & Latch |
| BUFG | 1 | Clock |

1. Hiệu suất
   1. Sumary

|  |  |
| --- | --- |
| Total On-Chip Power (W) | 10.010 |
| Dynamic (W) | 8.970 |
| Device Static (W) | 1.040 |
| Effective TJA (C/W) | 11.5 |
| Max Ambient (C) | 0.0 |
| Junction Temperature (C) | 125.0 |
| Confidence Level | Low |

* 1. On-Chip Components

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| On-Chip | Power (W) | Used | Available | Utilization (%) |
| Slice Logic | 0.388 | 193 | --- | --- |
| LUT as Logic | 0.240 | 67 | 53200 | 0.13 |
| CARRY4 | 0.089 | 16 | 13300 | 0.12 |
| Register | 0.051 | 94 | 106400 | 0.09 |
| BUFG | 0.006 | 1 | 32 | 3.13 |
| LUT as Shift Register | 0.002 | 1 | 17400 | <0.01 |
| Others | 0.000 | 2 | --- | --- |
| Signals | 0.579 | 163 | --- | --- |
| I/O | 8.004 | 36 | 200 | 18.00 |
| Static Power | 1.040 |  |  |  |
| Total | 10.010 |  |  |  |

# IP Core Interface Description

Dạng sóng mô phỏng của IP

# Upgrade and Technical Support

Thông tin cần thiết để liên hệ trợ giúp

# Feedback

**Nhóm nghiên cứu The ViRos**,

Khoa Kỹ Thuật Máy Tính,

Trường Đại học Công nghệ Thông tin TPHCM

Email (leader): [cuongtv@uit.edu.vn](mailto:cuongtv@uit.edu.vn)

Website: <http://uit.edu.vn/~the-viros>

# Revision

Thông tin về các phiên bản, thay đổi nếu có

|  |  |  |
| --- | --- | --- |
| Version | Date | Changes |
| 1.0 | 01/01/2016 | Initial 1’st release |

# License

Đây là sản phẩm sở hữu của nhóm nghiên cứu The ViRos, toàn bộ các ứng dụng sử dụng tài nguyên này cho mục đích giáo dục được miễn phí. Trong quá trình sử dụng cần nêu rõ tài liệu tham khảo từ nhóm ViRos. Các sản phẩm sử dụng cho mục đích thương mại cần liên hệ và được sự đồng ý của tác giả.